



Universidade Federal de Minas Gerais
Escola de Engenharia
Curso de Graduação em Engenharia de Sistemas
Bloco III – Sala 3035



Av. Antônio Carlos, 6627 – Pampulha, Belo Horizonte MG 31.270-901

Disciplina: Sistemas Digitais		Código: ELT059
Departamento: Engenharia Eletrônica		Unidade: Escola de Engenharia
Carga Horária Total: 45h	Nº de créditos: 03	Período: 2º
Teórica: 45h	Classificação: OB	
Prática: -	-	

Pré-requisitos:

Código:	Disciplina:
-	-

Ementa:

Sistemas de numeração. Álgebra Booleana. Portas lógicas. Circuitos combinacionais: análise, síntese e técnicas de minimização. Circuitos seqüenciais síncronos e assíncronos. Análise, síntese e técnicas de minimização de circuitos seqüenciais. Famílias de circuitos lógicos. Dispositivos lógicos programáveis. "Gate arrays". Análise e projeto de sistemas digitais.

Programa:

Semana:	Assunto:
1	Apresentação da disciplina; Sinais analógicos versus Sinais digitais; Sistema binário; Representação de dados (codificação de dados). Base numérica e Conversão de bases. Complementos e números com sinal. Chaves; Transistores; Portas Lógicas – blocos construtivos dos sistemas digitais.
2	Álgebra Booleana; Propriedades e Teoremas básicos. Representação de Funções Booleanas (Tabelas Verdade, Representação Padrão e Representação Canônica: Soma de Mintermos); Conversão entre Representações.
3	Projeto de circuitos lógicos combinacionais (Construção do circuito a partir da equação ou tabela, através de etapas bem definidas); Outras portas lógicas; Portas Lógicas Universais (Completo de Portas NAND, mesmo para NOR).
4	Avaliação 1 (valor: 25 pontos)
5	Blocos Combinacionais Básicos: Decodificadores, Multiplexadores, Codificadores e Demultiplexadores.
6	Otimização e Relações de Compromisso (<i>tradeoffs</i>) em lógica combinacional. Minimização para rede de portas lógicas de dois níveis. Minimização por Álgebra Booleana e Mapas de Karnaugh (Mapas K)
7	Automatização de minimização para rede de portas lógicas de dois níveis. Minimização para rede de portas lógicas multi-nível. Automatização de minimização para rede de portas lógicas multi-nível. Linguagens de Descrição de Hardware; Circuitos lógicos combinacionais usando HDLs: Estruturas, Comportamentos e <i>Testbenchs</i> .
8	Avaliação 2 (valor: 25 pontos)
9	Circuitos Seqüenciais: conceitos iniciais. Blocos seqüenciais básicos: <i>Flip-Flops</i> e <i>Latches</i> . <i>Clocks</i> . Registradores.
10	Máquinas de estados finitos (<i>FSMs</i>). Projeto de Blocos de Controle
11	Minimização de Estados (2 métodos); Codificação de Estados (<i>One Hot Encoding</i>); Máquinas de <i>Moore</i> e de <i>Mealy</i> .
12	Avaliação 3 (valor: 25 pontos)
13	O método do projeto RTL (nível de transferência de registros): particularidades de projeto e exemplos.
14	Decrição em nível comportamental. Componentes de memória.
15	Filas (FIFOS). Hierarquia de projeto. Otimização em projetos RTL: métodos e técnicas. Projeto RTL usando HDLs.
16	Avaliação 4 (valor: 25 pontos)

Crítérios de Avaliação:

A critério do professor, desde que respeitado o §4º do Art. 65 do Regimento Geral da UFMG, que determina que nenhuma avaliação parcial do aproveitamento poderá ter valor superior a 40 pontos.

Bibliografia:



Universidade Federal de Minas Gerais
Escola de Engenharia
Curso de Graduação em Engenharia de Sistemas
Bloco III – Sala 3035



Av. Antônio Carlos, 6627 – Pampulha, Belo Horizonte MG 31.270-901

Frank Vahid, Sistemas Digitais: Projeto, Otimização e HDLs, Bookman, 2008.
Milos Ercegovac, Tomás Lang e Jaime H. Moreno, Introdução aos Sistemas Digitais, Bookman, Porto Alegre, 2000.